

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-18929

(43)公開日 平成6年(1994)1月28日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A			
29/784				
	9056-4M		H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-177245

(22)出願日 平成4年(1992)7月3日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 西岡 幸也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 天野 徹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 城岸 慎吾

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

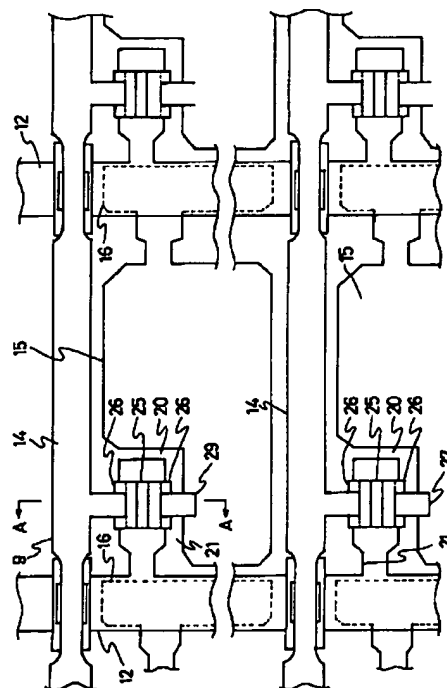
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 アクティブマトリクス基板の製造方法

(57)【要約】

【目的】 信号線による信号の遅延を抑制する。

【構成】 透明導電膜をパターンニングして絵素電極15を形成した後に、高融点金属を含有したアルミニウム合金により信号線14を形成する。信号線14は低抵抗であるために、信号の遅延が抑制される。



【特許請求の範囲】

【請求項1】 マトリクス状に配置された絵素電極にそれぞれスイッチング素子が接続されており、各スイッチング素子に走査線および信号線がそれぞれ接続されたアクティブマトリクス基板の製造方法であって、透明導電性材料をパターンニングにして前記各絵素電極を形成した後に、前記信号線を形成することを特徴とするアクティブマトリクス基板の製造方法。

【請求項2】 前記信号線が高融点金属を15%以下含有するアルミニウム合金である請求項1に記載のアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置等の表示装置に使用されるアクティブマトリクス基板の製造方法に関する。

【0002】

【従来の技術】液晶表示装置、EL表示装置、プラズマ表示装置等の表示装置では、通常、マトリクス状に配置された表示絵素を選択的に光変調することにより、画像が表示されるようになっている。表示絵素の光変調方法としては、それぞれが独立してマトリクス状に配置された各絵素電極にスイッチング素子をそれぞれ接続して、各スイッチング素子によって絵素電極が駆動されることにより各表示絵素を光変調するアクティブマトリクス方式が知られている。絵素電極を選択駆動するスイッチング素子としては、通常、TFT (Thin Film Transistor) 素子、MIM (金属-絶縁膜-金属) 素子、MOSトランジスタ素子、ダイオード、バリスタ等が用いられている。このアクティブマトリクス方式の表示装置は、スイッチング素子に接続された絵素電極がマトリクス状に配置されたアクティブマトリクス基板と、該アクティブマトリクス基板の各絵素電極に対向する対向電極が設けられた対向基板と、両基板間に挟まれた液晶層、EL発光層、プラズマ発光体等の表示媒体とを有して構成されている。そして、各絵素電極に印加される電圧をスイッチングすることにより、その間に介在する表示媒体が光学的に変調されて、その光学的変調が表示パターンとして視認される。このような表示装置は、高コントラストの表示が可能であるために、液晶テレビジョン、ワードプロセッサやコンピュータの端末表示等に実用化されている。

【0003】アクティブマトリクス基板は、図4に示すように、絶縁性基板であるガラス基板上に、格子状になるように相互に直交して設けられた複数の走査線（ゲートバスライン）32と、複数の信号線（ソースバスライン）34とを有している。各走査線32および各信号線34によって囲まれた矩形形状のそれぞれの領域内には、絵素電極35がそれぞれ配置されている。各絵素電極35と、各絵素電極35に近接する1本の走査線32およ

び1本の信号線34には、それぞれスイッチング素子としてのTFT40が電気的に接続されている。

【0004】また、各絵素電極35間に位置する走査線32には、絶縁層を挟んで対向する付加容量電極36が設けられている。各付加容量電極36は、対向する走査線32にTFT40を介して接続された絵素電極35に対して該走査線32を挟んで隣接する絵素電極35が接続されており、各付加容量電極36と走査線32との対向部分に付加容量が形成されている。

【0005】TFT40は、図4に示すように、ガラス基板31上に設けられた走査線32から分岐したゲート電極41を有しており、該ゲート電極41上には、該ゲート電極41を覆う酸化絶縁膜42が積層されている。ガラス基板41上には、全体にわたってゲート絶縁膜43が積層されており、従って、該ゲート絶縁膜43は酸化絶縁膜42を覆っている。該ゲート絶縁膜43上には、酸化絶縁膜42を覆うように、半導体層44が積層されている。また、ゲート絶縁膜43上における各TFT40が形成されている部分以外の所定位置には、透明な絵素電極45が積層されている。

【0006】TFT40における半導体層44中央部にはエッチングストップ層45が積層されており、また、該エッチングストップ層45が積層された部分以外の半導体層44の各側部上には、コンタクト層46および46が積層されている。各コンタクト46はエッチングストップ層45の各側縁部上に達しており、従って、該半導体層44の中央部上に各コンタクト層46および46は間隙をあけた状態になっている。

【0007】一方のコンタクト層46上にはソース電極49が積層されている。該ソース電極49は、信号線32から分岐した状態になっており、ゲート絶縁膜43上を通って、該コンタクト層46上に達している。他方のコンタクト層46上には、ゲート絶縁膜43上に達するドレイン電極47が積層されている。該ドレイン電極47は、ゲート絶縁膜43上に積層された絵素電極35によって覆われた状態になっている。

【0008】信号線34およびソース電極49上にも、透明電極35と同様の透明導電膜50が積層された状態になっている。

【0009】

【発明が解決しようとする課題】このような構成のアクティブマトリクス基板では、ドレイン電極47上に直接積層される絵素電極35、信号線34およびソース電極49上に直接積層される透明導電膜50、およびゲート電極41上に絶縁膜を介して積層される付加容量電極36は、すべて同様の透明導電膜、例えばITO膜によって構成されている。また、信号線34、ソース電極49、およびドレイン電極47も同様の導電性材料によって同時に形成されるようになっており、その導電性材料をパターンニングすることにより信号線34およびソース

電極４９とドレイン電極４７とが同時に形成される。そして、これら信号線３４およびソース電極４９とドレイン電極４７とが、形成された直後に、ＩＴＯ膜をガラス基板３１全体に積層して、該ＩＴＯ膜をエッチング液によりパターニングすることによって、絵素電極３５、透明導電膜５０、および付加容量電極３６が同時に形成されるようになっている。このため、ドレイン電極４７と信号線３４およびソース電極４９は、ＩＴＯ膜をエッチングする際のエッチング液に浸食されることを防止するために、チタン（Ｔｉ）等の高抵抗金属材料が使用されている。しかしながら、このような高抵抗金属材料を信号線３４、ソース電極４９、およびドレイン電極４７として使用すると、信号の遅延が生じるという問題がある。特に、液晶表示装置が大型化して高精細化すると、このような信号の遅延が顕著になって表示特性が低下する。

【００１０】本発明はこのような問題を解決するものであり、その目的は、信号の遅延を防止できて、大型および高精細な表示装置に好適に使用し得るアクティブマトリクス基板の製造方法を提供することにある。

【００１１】

【課題を解決するための手段】本発明のアクティブマトリクス基板の製造方法は、マトリクス状に配置された絵素電極にそれぞれスイッチング素子が接続されており、各スイッチング素子に走査線および信号線がそれぞれ接続されたアクティブマトリクス基板の製造方法であって、透明導電性材料をパターンニングにして前記各絵素電極を形成した後に、前記信号線を形成することの特徴としてなり、そのことにより上記目的が達成される。

【００１２】

【作用】本発明のアクティブマトリクス基板の製造方法では、透明導電性材料をエッチング液等によってパターンニングした後に、信号線が形成されるために、信号線として、低抵抗導電材料を使用することができ、信号線による信号の遅延が防止される。

【００１３】

【実施例】以下、本発明を実施例について説明する。本発明のアクティブマトリクス基板は、図１に示すように、絶縁性基板であるガラス基板上に、格子状になるように相互に直交して設けられた複数の走査線（ゲートバスライン）１２と複数の信号線（ソースバスライン）１４とを有する。各走査線１２及び各信号線１４によって囲まれた矩形のそれぞれの領域内には、絵素電極１５が配置されている。各絵素電極１５と、各絵素電極１５に隣接する１本の走査線１２および１本の信号線１４とは、それぞれスイッチング素子としてのＴＦＴ２０が電気的に接続されている。

【００１４】また、各絵素電極１５間に位置する走査線１２には、絶縁膜を挟んで対向する付加容量電極１６が設けられている。各付加容量電極１６は、対向する走査

線１２にＴＦＴ２０を介して接続された絵素電極１５に対して該走査線１２を挟んで隣接する絵素電極１５が接続されており、各付加容量電極１６と走査線１２との対向部分に付加容量が形成されている。なお、付加容量としては、各走査線１２に隣接して配置される付加容量線と各絵素電極との重畳部に形成することも可能である。

【００１５】ＴＦＴ２０は、図２に示すように、ガラス基板１１上に設けられた走査線１２から分岐したゲート電極２１を有しており、該ゲート電極２１上には、該ゲート電極２１を覆う酸化絶縁膜２２が積層されている。ガラス基板１１上には、全体にわたってゲート絶縁膜２３が積層されており、従って、該ゲート絶縁膜２３は酸化絶縁膜２２を覆っている。該ゲート絶縁膜２３上には、酸化絶縁膜２２を覆うように、半導体層２４が積層されている。また、ゲート絶縁膜２３上における各ＴＦＴ２０が形成されている部分以外の所定位置には、透明な絵素電極１５が積層されている。

【００１６】ＴＦＴ２０における半導体層２４中央部にはエッチングストッパ層２５が積層されており、また、該エッチングストッパ層２５が積層された部分以外の半導体層２４の各側部上には、コンタクト層２６および２６が積層されている。各コンタクト層２６はエッチングストッパ層２５の各側縁部上に達しており、従って、該半導体層２４の中央部上にて各コンタクト層２６および２６は間隙をあけた状態になっている。

【００１７】一方のコンタクト層２６上には、ソース電極２９が積層されている。該ソース電極２９は、信号線１４から分岐した状態になっており、信号線１４から分岐したソース電極２９がゲート絶縁膜２３上を通過、一方のコンタクト層２６上に達している。他方のコンタクト層２４上には、ゲート絶縁膜２３上に設けられた絵素電極１５上に達するドレイン電極２７が積層されている。そして、ガラス基板１１の全体にわたって、保護膜２８が積層されている。

【００１８】このような構成のアクティブマトリクス基板の製造方法について説明する。ガラス基板１１上に前面にわたってスパッタリングによりタンタル（Ｔａ）を積層し、このタンタルをフォトリソグラフィによりパターン化して、走査線１２および該走査線１２から分岐したゲート電極２１を同時に形成する。

【００１９】次に、陽極酸化法により、走査線１２及びゲート電極２１の上部を酸化して、五酸化タンタル（ Ta_2O_5 ）の酸化絶縁膜１９を形成する。なお、陽極酸化法に替えて熱酸化法により酸化絶縁膜１９を形成してもよい。続いて、窒化珪素（ SiN_x ）をプラズマＣＶＤ法によってガラス基板１１全面にわたって積層して、ゲート絶縁膜２３を形成する。

【００２０】次に、プラズマＣＶＤ法によるゲート絶縁膜２３の積層に連続して、半導体層２４となるアモルファスシリコン（ $\alpha-Si$ ）をプラズマＣＶＤ法によって

積層し、さらに、連続して、エッチングストップ層 25 となる窒化硅素 (SiN_x) をプラズマ CVD 法により積層する。その後に、該窒化硅素をフォトリソグラフィによりパターニングすることによりエッチングストップ層 25 を形成する。続いて、コンタクト層 24 となるリンを添加した n^+ -アモルファスシリコン ($n^+-\alpha\text{-Si}$) をプラズマ CVD 法によって積層した後に、該 n^+ -アモルファスシリコンおよびアモルファスシリコンをフォトリソグラフィによりパターニングして、コンタクト層 25 および半導体層 24 を同時に形成する。このとき、走査線 12 上における信号線 14 との交差部に相当する部分にも、同時に、コンタクト層 24 となる n^+ -アモルファスシリコンおよびエッチングストップ層 25 とされる窒化硅素がパターニングにより残される。

【0021】次に、絵素電極 15 および付加容量電極 16 となる酸化インジウム (ITO) を主成分とした透明導電膜が、スパッタリングによって積層された後に、フォトリソグラフィによってパターニングされて、絵素電極 15 および付加容量電極 16 が形成される。

【0022】続いて、15%以下の高融点金属を含有するアルミニウム (Al) をスパッタリング法によって積層して、フォトリソグラフィでパターニングすることにより、信号線 14、TFT 20 のソース電極 29 およびドレイン電極 27 を形成する。走査線 12 と信号線 14 との交差部では、 n^+ -アモルファスシリコンおよび窒化硅素の積層体が介在されている。

【0023】その後に、ガラス基板 11 の全体にわたって保護膜 28 が積層される。これにより、図 1 および図 2 に示すアクティブマトリクス基板が製造される。

【0024】このように、透明導電膜をパターニングして絵素電極 15 等を形成した後に、信号線 14 等が形成されるために、信号線 14 として、透明導電膜のパターニングに際してのエッチング液等の影響を考慮する必要がないために、高抵抗金属を使用する必要がなく、従っ

て、チタン (Ti) よりも低抵抗である 15% 以下の高融点金属を含有するアルミニウムを信号線 27 等として使用し得る。その結果、信号線 27 等における信号の遅延が確実に防止される。

【0025】

【発明の効果】本発明のアクティブマトリクス基板の製造方法は、このように、透明導電膜をパターニングして絵素電極を形成した後に信号線を形成するようになっていたために、信号線は、低抵抗の導電性材料が使用でき、該信号線における信号の遅延が抑制される。その結果、本発明の方法により製造されるアクティブマトリクス基板は、大型で高精細な表示装置に好適に使用される。

【図面の簡単な説明】

【図 1】本発明の方法によって製造されるアクティブマトリクス基板の部分平面図である。

【図 2】図 1 の A-A 線に沿った断面図である。

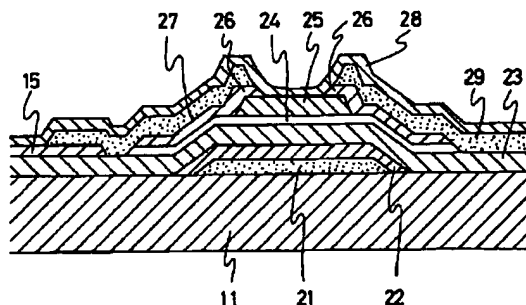
【図 3】従来のアクティブマトリクス基板の部分平面図である。

【図 4】図 3 の B-B 線に沿った断面図である。

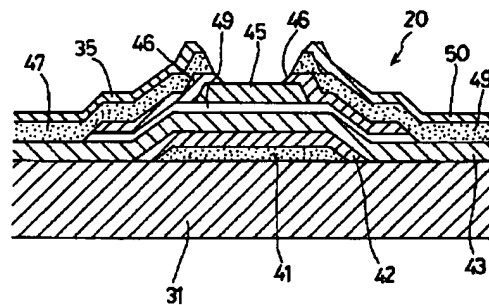
【符号の説明】

- 11 ガラス基板
- 12 走査線
- 14 信号線
- 15 絵素電極
- 16 付加容量電極
- 20 TFT
- 21 ゲート電極
- 22 酸化絶縁膜
- 23 ゲート絶縁膜
- 24 エッチングストップ層
- 25 コンタクト層
- 27 ドレイン電極
- 29 ソース電極

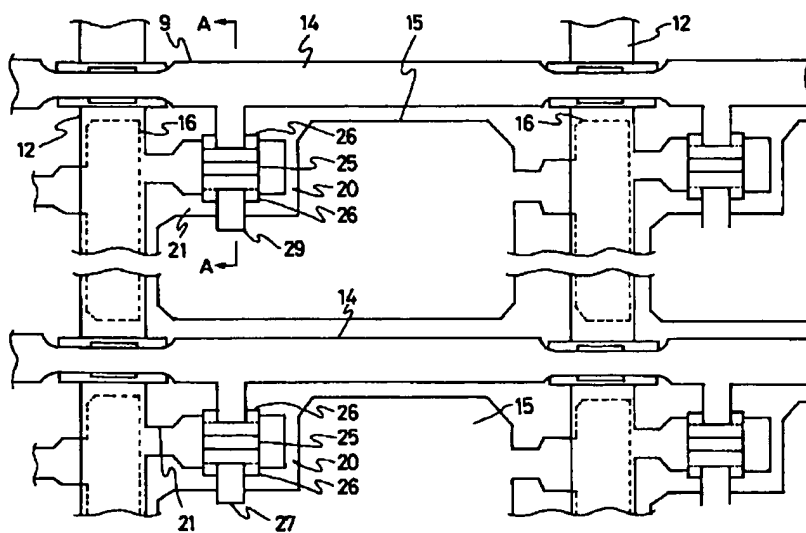
【図 2】



【図 4】



【図1】



【図3】

